

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-271196

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H03L 7/183

H03B 5/32

H03L 7/08

(21)Application number : 2001-072035

(71)Applicant : NIPPON DEMPA KOGYO CO LTD

(22)Date of filing : 14.03.2001

(72)Inventor : MAKUTA TOSHIKATSU

KOMATA HISASHI

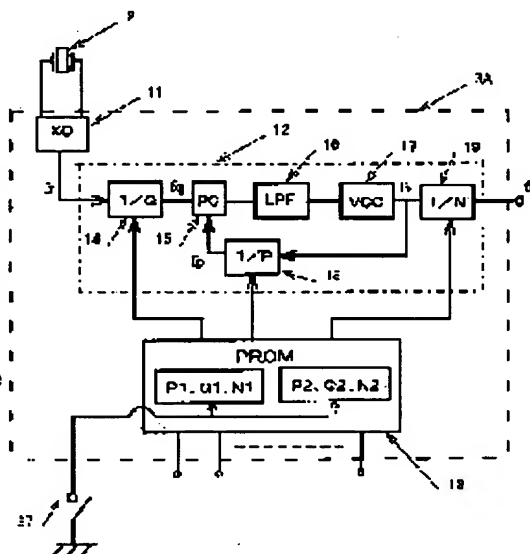
GEN KANTON

(54) SURFACE-MOUNTING TWO-FREQUENCY SWITCHING CRYSTAL OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a surface-mounting oscillator which can maintain turning into compact size and capable of being switched from one frequency to another by the use of a programmable IC chip.

SOLUTION: A crystal piece and an IC chip are housed in a surface-mounting case, equipped with mounting electrodes for the formation of a surface-mounting crystal oscillator. An oscillation circuit formed of the IC chip and the crystal piece, a PLL circuit, equipped with a voltage-controlled oscillation circuit operating on the oscillation frequency of the oscillation circuit as a reference circuit, and a first and a second storage circuit, which set the output frequency of the PLL circuit at fo1 or fo2 are integrated onto the IC chip. The first and second storage circuits are selected by keeping one of the mounting electrodes at ground potential or non-ground potential, and the output frequency fo1 or fo2 by the first or the second selected storage circuit is supplied.



LEGAL STATUS

[Date of request for examination]

18.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(51) IntCl. ⁷	識別記号	F I	チーフ・ノート* (参考)
H 0 3 L 7/183		H 0 3 B 5/32	E 5 J 0 7 9
H 0 3 B 5/32		H 0 3 L 7/18	B 5 J 1 0 6
H 0 3 L 7/08		7/08	N

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願2001-72035(P2001-72035)

(22) 出願日 平成13年3月14日 (2001.3.14)

(71) 出願人 000232483

日本電波工業株式会社

東京都渋谷区西原1丁目21番2号

(72) 発明者 葛田 俊勝

埼玉県狭山市大字上広瀬1275番地の2 日

本電波工業株式会社狭山事業所内

(72) 発明者 小俣 久

埼玉県狭山市大字上広瀬1275番地の2 日

本電波工業株式会社狭山事業所内

(72) 発明者 ゲン・カントン

埼玉県狭山市大字上広瀬1275番地の2 日

本電波工業株式会社狭山事業所内

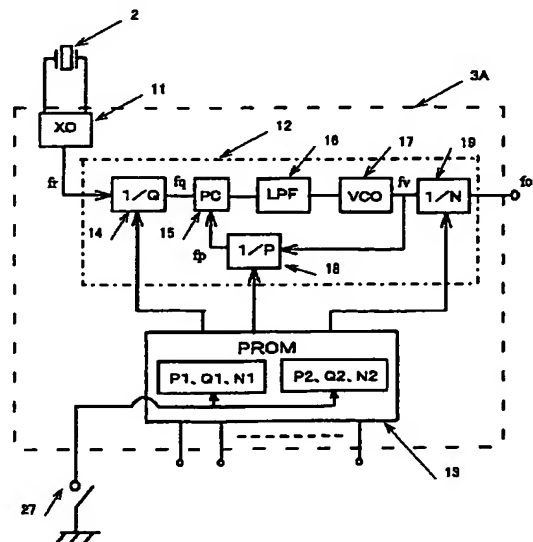
最終頁に続く

(54) 【発明の名称】 表面実装用の2周波切替水晶発振器

(57) 【要約】

【目的】 プログラマブルICチップを用いて2つの発振周波数を切り替えられて、小型化を維持した表面実装発振器を提供する。

【構成】 実装電極を有する表面実装容器に水晶片とICチップとを收容してなる表面実装用の水晶発振器において、前記ICチップは、前記水晶片とともに構成する発振回路と、前記発振回路による発振周波数を基準周波数として動作するところの電圧制御発振回路を有するPLL回路と、前記PLL回路の出力周波数を f_{o1} 又は f_{o2} に設定する第1記憶回路と第2記憶回路とが集積化され、前記第1記憶回路と前記第2記憶回路とは前記実装電極の一つをアース電位に接地又は非接地とすることによって選択され、前記選択された第1記憶回路又は第2記憶回路による出力周波数 f_{o1} 又は f_{o2} を供給する構成とする。



【特許請求の範囲】

【請求項1】実装電極を有する表面実装容器に水晶片とICチップとを収容してなる表面実装用の水晶発振器において、

前記ICチップは、前記水晶片とともに構成する発振回路と、前記発振回路による発振周波数を基準周波数として動作するところの電圧制御発振回路を有するPLL回路と、前記PLL回路の出力周波数を f_{o1} 又は f_{o2} に設定する第1記憶回路と第2記憶回路とが集積化され、前記第1記憶回路と前記第2記憶回路とは前記実装電極のうちの一つの電位をハイレベル又はローレベルにすることによって選択され、前記選択された第1記憶回路又は第2記憶回路による出力周波数 f_{o1} 又は f_{o2} を供給することを特徴とする2周波切替水晶発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表面実装用の水晶発振器（表面実装発振器とする）を産業上の技術分野とし、特に第1と第2の記憶回路例えばPROM（Programmable Read Only Memory）によってPLL（Phase Locked Loop）回路に二つの発振周波数 f_{o1} 、 f_{o2} を設定してこれを切り替える表面実装発振器に関する。

【0002】

【従来の技術】（発明の背景）表面実装発振器は小型・軽量であることから、特にデジタルカメラ等の携帯機器に周波数及び時間の基準源として適用される。近年では、例えば時間の基準源として2周波数のいずれかを選択できる表面実装発振器が求められている。

【0003】（従来技術の一例）第3図は一従来例を説明する表面実装発振器の断面図である。表面実装発振器は、表面実装容器1に水晶片2とICチップ3とを収容してなる。表面実装容器1は、積層セラミックからなる容器本体4とカバー5から形成される。容器本体4は一主面側に内壁に段部を設けた凹部を備え、外周表面における四角部の底面及び側面に実装電極6を有する。実装電極6は電源、出力、アース、及び例えばスタンバイ端子からなる。

【0004】水晶片2は両主面に励振電極7を有し、例えば一端部両側に引出電極8を延出する（第4図）。そして、一端部両側を容器本体4の段部に導電性接着剤9によって固着する。また、ICチップ3は、水晶片（水晶振動子）2と発振回路を形成する増幅器等の発振素子及びその他の回路素子を集積化する。そして、例えばバンプ10を用いた超音波熱圧着によって凹部底面に固着される。

【0005】

【発明が解決しようとする課題】（従来技術の問題点）しかしながら、上記構成の表面実装発振器では基本的に一周波数のみを出力する。一方、デジタルカメラ等のセット機器では、例えば画像をテレビに取り込む場合、日

本及び米国圏と欧州圏とではクロック周波数（同期信号）が異なる。

【0006】このため、セットメーカーでは、2つのクロック周波数に応じた発振周波数の表面実装発振器を各セット基板に搭載し、2種類のセット基板を在庫する。そして、出荷時に一方のセット基板を選択する。あるいは、クロック周波数に応じた2個の表面実装発振器をセット基板に搭載して在庫する。そして、出荷時に一方の表面実装発振器を選択して動作させていた。

【0007】しかし、前者の場合は、一方のクロック周波数のセット機器が販売不振の場合には、表面実装発振器のみならずセット基板に装着される高価なCCD等のセット素子が無駄になる。また、後者の場合は他方の表面実装発振器が無駄になるとともに小型化を阻害する問題があった。

【0008】これらのことから、例えば電圧制御発振回路を有するPLL回路を用いて多数の発振周波数（3周波以上）をPROMにより設定して各発振周波数に応じた出力端子を有する所謂プログラマブルICと水晶振動子との2素子によって2周波数を切り替える水晶発振器の採用が考えられている。

【0009】しかし、このようなものでは、一般に、プログラマブルICは発振周波数（出力周波数）に応じた端子を両側に導出して樹脂モールした所謂デュアルインタイプで構成されるため、外形が大きくなる。また、ICと水晶振動子の2素子で構成されるため、大型化が不可避の問題があった。

【0010】また、PROMによって発振周波数が任意に設定されるPLL回路を集積化したICチップ3（プログラマブルICチップ3Aとする）と水晶片2とを表面実装発振器1に収容したものもある。しかし、この場合には、PROMによって発振周波数を設定した後は単一の周波数のみが供給されるため、出力周波数を選択できない問題があった。

【0011】（発明の目的）本発明は、プログラマブルICチップを用いて2つの発振周波数を切り替えられて、小型化を維持した表面実装発振器を提供することを目的とする。

【0012】

【課題を解決するための手段】（着目点）本発明は、前述したPROMによってPLL回路の発振周波数を設定するプログラマブルICチップを採用し、これを2周波として切り替える点に着目した。

【0013】（解決手段）本発明は、プログラマブルICチップ内に設けたPLL回路の2つの発振周波数（出力周波数） f_{o1} 、 f_{o2} を設定する第1記憶回路と第2記憶回路とを、容器本体に設けた実装電極のうちの一つの電位をハイレベル又はローレベルにすることによって選択したことを基本的な解決手段とする。

【0014】

【作用】本発明では、プログラマブルICチップ内にPLL回路の出力周波数を設定（決定）する第1及び第2記憶回路を設けたので、これを切り替えることによっていずれか一方の出力周波数を選択する。また、記憶回路の切り替えは、実装電極のうちの一つの電位を制御することによって実現されるので、出力周波数に応じた出力端子を要しない。以下、本発明の一実施例を説明する。

【0015】

【実施例】第1図は、本発明の一実施例を説明する2周波切り替え用とした表面実装発振器のブロック回路図である。なお、前従来例図と同一部分には同番号を付与してその説明は簡略又は省略する。表面実装発振器は、前述したように、容器本体4の底面及び側面に実装電極6を有する表面実装発振器1に、水晶片2とICチップ3とを収容してなる（前第3図参照）。但し、ICチップ3は、前述したプログラマブルICチップ3Aとする。ここでのプログラマブルICチップ3Aは、少なくとも、発振回路（XO）11と、PLL回路12と、PROM13とを集積化してなる。発振回路11は前述したように水晶振動子（水晶片2）とともに構成されて、その発振周波数をPLL回路12の基準周波数 f_r とする。

【0016】PLL回路12は、周知のように第1分周器14と、位相比較器（PC）15と、ローパスフィルタ（LPF）16と、電圧制御発振器（VCO）17と、第2分周器18と、第3分周器19からなる。概説すると、第1分周器14は発振回路11の基準周波数 f_r を $1/Q$ に分周する。ここでの分周周波数を入力分周周波数 f_q とする。

【0017】位相比較器15は入力分周周波数 f_q と帰還分周周波数 f_p との位相を比較し、位相差に基づく差電圧を発生する。但し、帰還分周周波数 f_p は、電圧制御発振器17の発振周波数（制御周波数とする） f_v を第2分周器18によって、 $1/P$ に分周された周波数である。ローパスフィルタ16は位相差電圧から高周波成分を除去して平滑し、制御電圧を生成する。

【0018】電圧制御発振器17は例えば図示しないCRやLC発振回路からなり、電圧によって端子間の容量が変化する電圧可変容量素子を発振閉ループ内に挿入してなる。そして、電圧可変容量素子に印加される制御電圧によって制御周波数 f_v を変化させる。第3分周器19は電圧制御発振器17の制御周波数 f_v を $1/N$ に分周してPLL回路の出力周波数 f_o とする。

【0019】このようなものでは、PLL回路12の位相がロックされた状態では、基準周波数 f_r 、制御周波数 f_v 及び出力周波数 f_o との間には次の関係式が成立する。すなわち、 $f_r/Q = f_v/P$ であることから、 $f_o = f_v/N = (P f_v) / (Q N)$

となる。したがって、各分周器18、14、19による分周比 PQN を設定することにより、任意の出力周波数

f_o を得ることができる。

【0020】PROM13は、第2図に示したように、それぞれ複数の記憶素子22を有する一点鎖線で囲む第1記憶回路20と第2記憶回路21を有する。第1記憶回路20は、第1出力周波数 f_{o1} を決定するデジタル信号を記憶して保持する。すなわち、少なくとも第1、第2及び第3分周器14、18、19の分周比 $Q1$ 、 $P1$ 、 $N1$ を設定するデジタル信号を記憶して保持する。第2記憶回路21は第2出力周波数 f_{o2} を決定するデジタル信号を記憶して保持する。すなわち、少なくとも第1、第2及び第3分周器14、18、19の分周比 $Q2$ 、 $P2$ 、 $N2$ を設定するデジタル信号を記憶して保持する。

【0021】各記憶素子22は、CMOS（PMOSとNMOSとの一対のFET）からなり、電源 V_{dd} と出力（データ）線 $D(1 \sim n)$ の間に、一対のFETの一方のドレインを他方のソースを接続する。そして、第1及び第2記憶回路20、21は第1及び第2アドレス線A、Bに接続する。すなわち、第1記憶回路20は各記憶素子22における一方のFETのゲートが第1アドレス線Aに接続する。第2記憶回路21は各記憶素子22における一方のFETのゲートが第2アドレス線Bに接続する。

【0022】なお、各記憶素子22における他方のFETのベースに予めの書込によって（一）電荷を蓄電（チャージ）されると、ゲートに電圧を印加された状態（ゲートが閉じた状態）で導通になり、非蓄電の場合は非導通となる。ここでは、例えば第1記憶回路20の1列目及び第2記憶回路21の2列目における他方のFETに（一）電荷が蓄電された場合を示している。したがって、例えばアドレス線Aが選択されると、第1記憶回路20における第1列目の一方のFETのゲートも閉じて導通し、即ち一対のFETからなるCMOSが導通するので、電源電圧 V_{dd} が出力線にハイレベル信号（1信号）として現れる。

【0023】これとは逆に、例えば第2記憶回路21の第1列目のように他方のFETが非導通の場合は、アドレス線Bが選択されてもCMOSは非導通なので電源電圧 V_{dd} は遮断され出力線にはローレベル信号（0信号）が現れる。これにより、第1及び第2記憶回路21の各記憶素子22には、他方のFETのゲートに（一）電荷を蓄電する可否かで、第1及び第2出力周波数 f_{o1} 、 f_{o2} を決定するデジタル信号を記憶保持できる。

【0024】第1及び第2アドレス線A、Bはスイッチング素子23に接続する。ここでのスイッチング素子23は、それぞれがゲートを共通接続した第1と第2CMOS24、25からなる。そして、各CMOS24、25における一対のFETの一方はドレインを電源に他方はソースをアース電位に接地する。第1CMOS24のドレインとソースの接続点（図中のX点）は第2CMOS25のゲートに接続する。第1アドレス線Aは第2CM

OS25のドレインとソースの接続点(Y点)に、第2アドレス線Bは第2CMOS25のゲートに接続する。なお、符号26は、電源Vddと第1CMOS24のゲート間のプルアップ抵抗である。

【0025】そして、ここでは、スイッチング素子23における第1CMOS24のゲート端子(選択端子とする)27を、前述した表面実装容器1の実装電極6の一つに接続する。この例では、従来のスタンバイ端子を排除して、実装電極6は電源、出力、アース及び選択端子27の4端子とする。

【0026】このようなものでは、前述したように第1及び第2記憶回路20、21に、第1及び第2出力周波数 f_{o1} 、 f_{o2} を記憶させる。そして、選択端子27を非接地として浮いた状態にすると次になる。すなわち、この場合には、第1CMOS24は抵抗26を経てゲートに電源電圧VDDが印加されて、ドレインとソースの接続点(X点)は、アース電位に接地される。また、第2CMOS25のゲートはアース電位に接地されるので、ドレインとソースの接続点(Y点)は電源電圧Vddの電位となる。すなわち、第1アドレス線Aは電源電圧Vdd即ちハイレベル(1)の電位となり、又第2アドレス線Bはアース電位即ちローレベルの電位(0)となる。したがって、第1記憶回路20を動作する第1アドレス線Aが選択されて、電圧制御発振器は(VCO)17は第1出力周波数 f_{o1} に制御されて発振する。

【0027】また、選択端子27を例えば表面実装発振器の装着されるセット基板のアース電位に接地すると次になる。すなわち、この場合には、先とは逆に、第1CMOS24はゲートがアース電位に接地されてドレインとソースの接続点(X点)は電源電圧Vdd電位となる。また、第2CMOS25のゲートは電源電圧Vddとなるのでドレインとソースの接続点(Y点)はアース電位に接地される。すなわち、第1アドレス線Aはアース電位に接地され、第2アドレス線Bは電源電圧Vdd電位となる。したがって、第2記憶回路21を動作する第2アドレス線Bが選択されて、電圧制御発振器は(VCO)17は第2出力周波数 f_{o2} に制御されて発振する。

【0028】このような構成であれば、表面実装発振器を搭載したセット基板の在庫時には、表面実装発振器の選択端子27を使用可能性の高い例えば第1出力周波数 f_{o1} とする非接地状態にする。そして、第2出力周波数 f_{o2} が必要な場合には、選択端子27を接地状態にすることによって、出力周波数 f_o を第1出力周波数 f_{o1} から第2出力周波数 f_{o2} に簡単に切り替えられる。要するに、2つの出力周波数をもって、必要に応じていずれか一方を供給する表面実装発振器を得ることができる。

【0029】そして、選択端子27の接地又は非接地によって第1及び第2記憶回路20及び第1又は第2出力周波数 f_{o1} 、 f_{o2} を選択するので、出力周波数に応じた出力端子を要しない。したがって、従来のように出力周

波数に応じた多くの出力端子を要しないので、表面実装発振器として小型化を維持できる。

【0030】

【他の事項】上記実施例では、PLL回路は第3分周器19を設けたが、第1及び第2分周器14、18のみで出力周波数 f_o を制御してもよい。この場合、出力周波数 f_o は $f_o = qfv = pfr$ となる。但し、第3分周器19を設けた方が出力周波数を広範囲に制御できるので有利である。

10 【0031】また、表面実装発振器の実装電極6は、電源、出力、アース及び選択端子の4端子としたが、例えばスタンバイ端子を付加して5端子としてもよくその数には制限を受けない。要は、表面実装型を維持できる端子数であれば問題はない。

【0032】また、表面実装発振器は段部を有する凹状の容器本体4とカバー5とから形成したが、例えば両面に凹部を有する容器本体でも、平板状の容器本体として凹状のカバーを被せてもよく、表面実装用の電極を有する表面実装容器であればよい。

20 【0033】また、PROM13は第1と第2記憶回路20、21を設けたが、3つ以上の記憶回路を有していてもその内の二つを利用すれば適用できる。但し、記憶素子が増えるので高価になる。また、PROMとしたが、要は第1と第2記憶回路20、21及びこれによって周波数が選択されるPLL回路を有して本発明の趣旨を実現するICであればよい。

【0034】

【発明の効果】本発明は、プログラマブルICチップ内に設けたPLL回路の2つの発振周波数(出力周波数) f_{o1} 、 f_{o2} を設定する第1記憶回路と第2記憶回路とを、容器本体に設けた実装電極のうちの一つの電位をハイレベル又はローレベルに制御することによって選択したので、プログラマブルICチップを用いて2つの発振周波数を切り替えられて、小型化を維持した表面実装発振器を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明する表面実装発振器のブロック回路図である。

【図2】本発明の一実施例を説明するPROMの回路図である。

【図3】従来例を説明する表面実装発振器の断面図である。

【図4】従来例を説明する水晶片の平面図である。

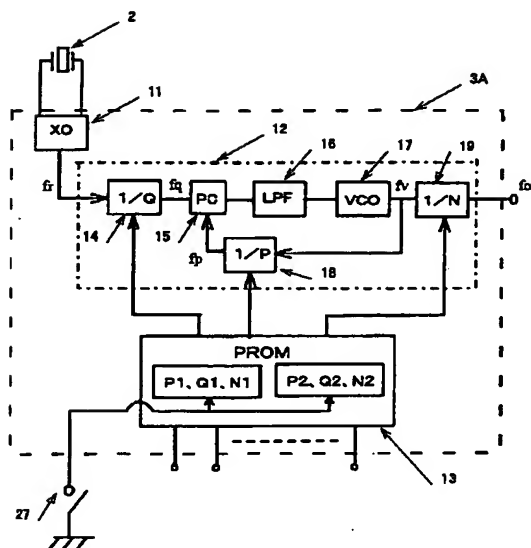
【符号の説明】

1 表面実装容器、2 水晶片、3 ICチップ、4 容器本体、5 カバー、6 実装電極、7 励振電極、8 引出電極、9 導電性接着剤、10 パンプ、11 発振回路、12 PLL、13 PROM、14、18、19 分周器、15 位相比較器、16 ローパスフィルタ、17 電圧制御発振器、20、21 記憶回

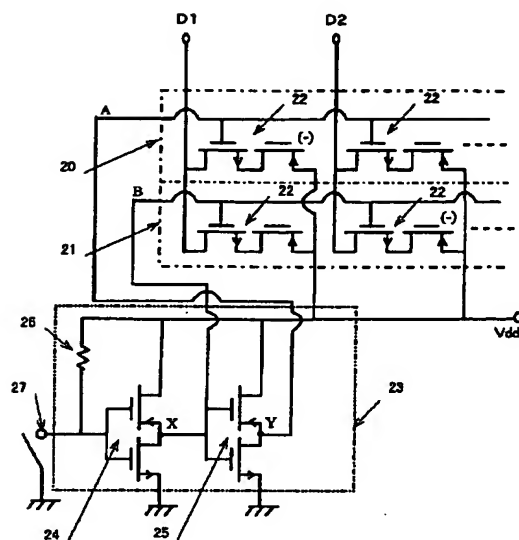
路、22 記憶素子、23 スwitchング素子、24、

25 CMOS、26 抵抗、27 選択端子。

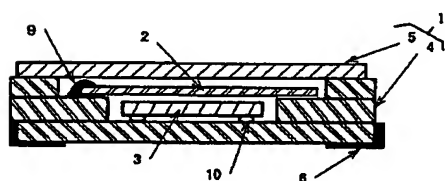
【図1】



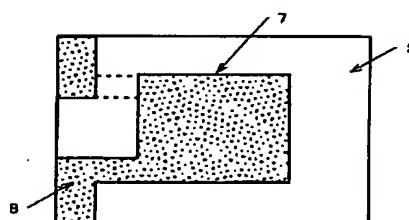
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5J079 AA04 BA44 FA01 FB35 FB39
 FB40 FB48
 5J106 AA01 AA04 CC01 CC15 CC21
 CC41 CC52 DD08 DD33 FF06
 FF07 FF08 GG09 KK38 LL09
 PP03 RR14 RR18 RR20 SS07

THIS PAGE BLANK (USPTO)